

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-078163

(43)Date of publication of application : 11.03.2004

(51)Int.Cl.

G09G 3/30  
G09G 3/20  
H05B 33/14

(21)Application number : 2003-163234

(71)Applicant : ROHM CO LTD

(22)Date of filing : 09.06.2003

(72)Inventor : FUJISAWA MASANORI  
ABE SHINICHI

(30)Priority

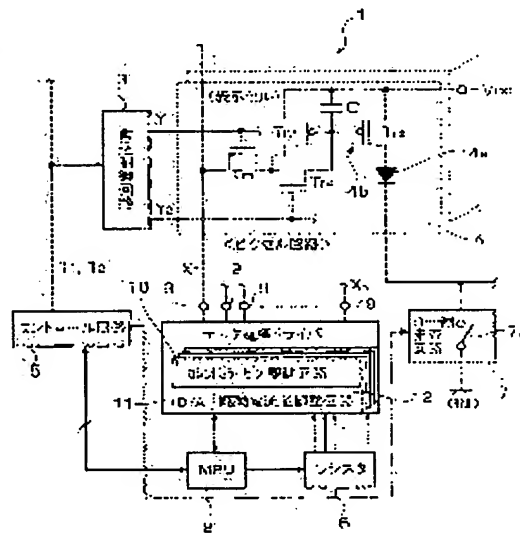
Priority number : 2002179439 Priority date : 20.06.2002 Priority country : JP

(54) DRIVING CIRCUIT FOR ACTIVE MATRIX ORGANIC EL PANEL AND ORGANIC EL DISPLAY DEVICE USING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a driving circuit for an active matrix organic EL panel, which is capable of reducing the unevenness of luminance of a display picture even though having a circuit for compensating an operation threshold of driving transistors, eliminated to reduce the circuit scale of a pixel circuit and is suitable for high-luminance color display.

SOLUTION: Since a driving current value is adjusted by a current value adjustment circuit of a current driving circuit provided on the outside of each pixel circuit, a control line for program control is unnecessary which is provided for the purpose of making operation thresholds of driving transistors uniform. Consequently, the number of transistors in each pixel circuit is reduced. Thus the circuit magnitude of each pixel circuit is reduced.



## LEGAL STATUS

[Date of request for examination] 11.08.2003

[Date of sending the examiner's decision of rejection] 22.02.2005

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3706936

[Date of registration] 12.08.2005

[Number of appeal against examiner's decision of rejection] 2005-05219

[Date of requesting appeal against examiner's decision of rejection] 25.03.2005

[Date of extinction of right]

[illegible]

(2)

JP 2004 78163 A 2004.3.11

## 【特許請求の範囲】

## 【請求項1】

有機EL素子とこの有機EL素子の駆動電流の電流値に応じた電圧値を記憶するコンデンサと前記電圧値に応じて前記有機EL素子に前記駆動電流を出力するためのトランジスタとを有するビクセル回路がマトリクス状に配列された有機EL表示パネルを電流駆動するアクティブマトリクス型有機ELパネルの駆動回路において、  
前記有機EL表示パネルのデータ線あるいはカラムビンに対して接続される出力ピンを有しこの出力ピンが前記データ線あるいは前記カラムビンを通じて接続される前記ビクセル回路のコンデンサを前記電圧値に充電する充電電流を発生する多数の電流駆動回路と、  
前記コンデンサに前記電圧値を記憶するための書き込み制御をしかつ書込まれた前記コンデンサの前記電圧値をリセットする制御をする書き込み制御回路とを備え、  
前記有機EL表示パネルの画面上で少なくともも分散した位置にある複数の前記ビクセル回路に前記出力ピンを通じて接続される複数の前記電流駆動回路には、前記出力ピンから吐出されあるいは前記出力ピンにシンクされる出力電流を調整する電流値調整回路がそれぞれに設けられているアクティブマトリクス型有機ELパネルの駆動回路。

10

## 【請求項2】

前記電流値調整回路は、外部から設定された少なくとも1ビットのデータに応じて電流値の調整が可能な回路であって、前記出力ピンに出力するための電流あるいはその基礎となる電流を受けて、前記出力電流を調整する請求項1記載のアクティブマトリクス型有機ELパネルの駆動回路。

20

## 【請求項3】

さらに、前記電流値調整回路からの電流を受けるD/A変換回路を有し、このD/A変換回路は、表示データを前記電流に応じてアナログ電流値に変換するものであり、前記アナログ電流値に応じて前記出力電流が生成され、前記出力電流は、前記出力ピンにシンクさせるものであり、多数の前記電流駆動回路は、それぞれに前記電流値調整回路を有する請求項2記載のアクティブマトリクス型有機ELパネルの駆動回路。

## 【請求項4】

前記電流値調整回路は、メモリに記憶された前記データを受けてON/OFFするスイッチ回路と、前記出力ピンに出力するための電流あるいはその基礎となる電流を受けて、受けたこの電流の電流値と前記スイッチ回路のON/OFFとに応じて所定の電流値の電流を生成してこの電流を前記D/A変換回路に出力する電流値生成回路とを有し、  
前記メモリは、前記データが書込まれる前記不揮発性メモリあるいはこの駆動電流値調整回路の外部にある不揮発性メモリから前記データが転送されて書込まれる揮発性メモリである請求項3記載のアクティブマトリクス型有機ELパネルの駆動回路。

30

## 【請求項5】

前記メモリは不揮発性メモリであり、前記書き込み制御回路は、走直線を通じて前記コンデンサに前記電圧値を記憶する制御をし、前記走直線あるいは他の走直線を通じて前記コンデンサの前記電圧値をリセットする制御をする請求項4記載のアクティブマトリクス型有機ELパネルの駆動回路。

## 【請求項6】

前記電流駆動回路は、さらに前記D/A変換回路の出力を受けて前記出力ピンに前記出力電流を発生させる第1のカレントミラー回路を有し、この第1のカレントミラー回路は、前記データ線あるいは前記カラムビンからの電流を前記出力ピンを経てグランドへと電流をシンクさせるものであり、入力側と出力側の電流比が $n:1$ （ただし $n$ は2以上の整数）の回路である請求項4記載のアクティブマトリクス型有機ELパネルの駆動回路。

40

## 【請求項7】

さらに、前記有機EL素子の陰極側に接続された走直回路と第1の走直線と第2の走直線とを有し、前記書き込み制御回路は、少なくとも前記第1の走直線を通じて前記コンデンサに前記電圧値を記憶する制御をし、少なくとも前記第2の走直線を通じて前記コンデンサの前記電圧値をリセットする制御をし、前記走直回路は、前記コンデンサに対する前記電

50

(3)

JP 2004 78163 A 2004.3.11

圧値の書き込みが終了した後、前記駆動電流により駆動される複数の有機ＥＬ素子の陰極側をグランドへと落とす請求項６記載のアクティブマトリックス型有機ＥＬパネルの駆動回路。

請求項６記載のアクティブマトリックス型有機ＥＬパネルの駆動回路。

【請求項８】

さらに、前記電流値生成回路は、入力側駆動トランジスタ１個に対してカレントミラー接続された第１および第２の出力側トランジスタを有する第２のカレントミラー回路を有し、前記第２の出力側トランジスタは、前記スイッチ回路を介して前記第１の出力側トランジスタに並列に接続され、前記第１および第２の出力側トランジスタが並列に接続される出力側に前記所定の電流値の電流を発生する請求項７記載のアクティブマトリックス型有機ＥＬパネルの駆動回路。

10

【請求項９】

前記第２の出力側トランジスタと前記スイッチ回路とは複数個設けられ、前記データ線あるいは前記カラム端子ピンは、前記有機ＥＬ表示パネルの画面上のＲ、Ｇ、Ｂのいずれかの水平走査方向に対応する画素数分設けられ、前記メモリは、前記各データ線あるいは前記各カラム端子ピンに対応する段数のフリップフロップで構成され、各段の前記フリップフロップは、前記スイッチ回路の複数個に対応した数並列に設けられている請求項８記載の有機ＥＬ駆動回路の駆動電流値調整回路。

【請求項１０】

前記Ｄ／Ａ変換回路は、第３のカレントミラー回路で構成され、前記電流値調整回路の前記出力電流は、この第３のカレントミラー回路の入力側トランジスタを駆動し、この第３のカレントミラー回路の出力側トランジスタにより前記第１のカレントミラー回路が駆動される請求項９記載のアクティブマトリックス型有機ＥＬパネルの駆動回路。

20

【請求項１１】

請求項１乃至１０のいずれか１項記載のアクティブマトリックス型有機ＥＬパネルの駆動回路を有する有機ＥＬ表示装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

この発明は、アクティブマトリックス型有機ＥＬパネルの駆動回路およびこれを用いる有機ＥＬ表示装置に関し、詳しくは、携帯電話機、ＰＨＳ等の装置において、駆動トランジスタの動作値を補償する回路をなくしてビクセル回路の回路規模を抑えても表示画面の輝度むらを低減でき、特に、高輝度カラー表示に適したアクティブマトリックス型有機ＥＬの表示装置に関する。

30

【０００２】

【従来の技術】

有機ＥＬ表示装置は、自発光による高輝度表示が可能であることから、小画面での表示に適し、携帯電話機、ＰＨＳ、ＤＶＤプレーヤ、ＰＤＡ（携帯端末装置）等に搭載される次世代表示装置として現在注目されている。この有機ＥＬ表示装置には、液晶表示装置のように電圧駆動を行うと、輝度はらつきが大きくなり、かつ、Ｒ（赤）、Ｇ（緑）、Ｂ（青）に感度差があることから制御が難しくなる問題点がある。

40

そこで、最近では、電流駆動のドライバを用いた有機ＥＬ表示装置が提案されている。例えば、特開平１０－１１２３９１号などでは、電流駆動により輝度はらつきの問題を解決する技術が記載されている。

携帯電話機、ＰＨＳ用の有機ＥＬ表示装置の有機ＥＬ表示パネルでは、カラムラインの数が３９６個（１３２×３）の端子ピン、ローラインが１６２個の端子ピンを持つものが提案され、カラムライン、ローラインの端子ピンはこれ以上に増加する傾向にある。

【０００３】

このような有機ＥＬ表示パネルの電流駆動回路の出力段は、アクティブマトリックス型でも単純マトリックス型のもので端子ピン対応に電流源の駆動回路、例えば、カレントミ

50

(4)

JP 2004 78163 A 2004.3.11

ラー回路による出力回路が設けられている。

アクティブマトリックス型では、表示セル（画素）対応にコンデンサと電流駆動のトランジスタとからなるビクセル回路が設けられていて、コンデンサに記憶した電圧に応じてトランジスタを駆動し、このトランジスタを介して有機EL素子（以下OEI素子）が電流駆動される。その駆動方式には、OEI素子をON/OFFの2値で制御するデジタル駆動とOEI素子の駆動電流をアナログ入力データで制御するアナログ駆動とがある。デジタル駆動の場合には、ビクセル内にサブビクセルを設けて表示面積を制御したり、発光時間を時分割して駆動時間の相違により表示画素の階調を制御する。アナログ駆動の場合には電圧指定型（電圧プログラム方式）と電流指定型（電流プログラム方式）とがあり、電圧指定型の場合には各ビクセル回路のコンデンサの端子電圧を電圧信号により設定し、電流指定型の場合には前記コンデンサの端子電圧を電流信号により設定する。

10

【0004】

【発明が解決しようとする課題】

このようなアクティブマトリックス型では、各ビクセル回路ごとの駆動トランジスタの動作値のばらつきにより輝度むらが発生し易い。製造過程において表示素子の駆動トランジスタの動作値を均一にすることは難しいことなので、各ビクセル回路のコンデンサの電圧を制御することで輝度むらを抑えることが考えられている。そのためビクセル回路内に値補償回路が設けられる。その補償回路の一例として前記の電圧プログラム方式の回路と前記の電流プログラム方式の回路とがある。

前者の電圧プログラム方式は、各ビクセル回路に4個のトランジスタと2個のコンデンサを用いるものであり、データ線、選択線のほかに、駆動トランジスタの動作値のばらつきを補償するために2本の線が設けられる。そして、これら2本の線へ制御信号を加えて2つのコンデンサを所定のタイミングで充電することで駆動トランジスタの値が影響しない電流駆動が行われる。

20

後者の電流プログラム方式は、駆動トランジスタを含めた3個のトランジスタと、特定の電圧設定をするスイッチトランジスタとで構成される。データ線、2本の選択線と、さらに特定の電圧 $V_{dd}$ の電源線（ソース線）が設けられる。まず、スイッチトランジスタで駆動トランジスタを切り離してコンデンサを電流駆動で充電しておき、その後、スイッチトランジスタにより駆動トランジスタをコンデンサに接続しかつ駆動トランジスタにソース線から電力を供給してOEI素子を電流駆動する。

30

【0005】

これらの駆動方法は、プログラムタイミング制御が必要であり、特に、電流駆動方式では、中間階調表示のために制御する電流値として0.1 $\mu$ A以下の精度が要求される。そのため、その制御が難しくなる。また、表示画素数が、例えば、VGA、SVGA、XGA等のように高密度になると、限られた時間内でプログラムタイミング制御を行う必要があり、かつ、データ線、選択線とは別にプログラム制御のための線が必要となっており、各ビクセル回路の回路規模が大きくなる欠点がある。

この発明の目的は、駆動トランジスタの動作値を補償する回路をなくしてビクセル回路の回路規模を抑えても表示画面の輝度むらを低減でき、特に、高輝度カラー表示に適したアクティブマトリックス型有機ELパネルの駆動回路を提供することにある。

40

この発明の他の目的は、ビクセル回路の回路規模が小さくかつ表示画面の輝度むらが低減できる有機EL表示装置を提供することにある。

【0006】

【課題を解決するための手段】

このような目的を達成するためのこの発明のアクティブマトリックス型有機ELパネルの駆動回路およびこれを用いる有機EL表示装置の特徴は、有機EL表示パネルのデータ線あるいはカラムピンに対して接続される出力ピンを有しこの出力ピンが前記データ線あるいは前記カラムピンを介して接続されるビクセル回路のコンデンサを前記電圧値に充電する充電電流を発生する多数の電流駆動回路と、前記コンデンサに前記電圧値を記憶するための書き込み制御をしかつ書き込まれた前記コンデンサの前記電圧値をリセットする制御をす

50

(5)

JP 2004 78163 A 2004.3.11

る書込み制御回路とを備え、

前記有機EL表示パネルの画面上で少なくとも分散した位置にある複数の前記ビクセル回路に前記出力ピンを介して接続される複数の前記電流駆動回路には前記出力ピンから吐出されあるいは前記出力ピンにシンクされる出力電流を調整する電流値調整回路がそれぞれに設けられているものである。

【0007】

【発明の実施の形態】

このように、この発明にあっては、データ線あるいはカラム端子ピンに接続された電流駆動線のほかには、書込み制御回路からの線、例えば、コンデンサの電圧値書込みとこの電圧値をリセットするための走査線だけで済む。

10

この発明では、各ビクセル回路の外部に設けられる電流駆動回路の電流値調整回路で駆動電流値が調整されるので、駆動トランジスタの動作 値を均一にするために必要なプログラム制御のための制御線は不要である。したがって、各ビクセル回路の素子数と配線とが、その分、低減できる。これにより各ビクセル回路の回路規模が低減される。

この発明の電流駆動回路の電流値調整回路は、すべてのデータ線あるいはカラム端子ピンに対応して設けてもよいが、その一部として、少なくとも分散した位置にあるものだけに電流値調整回路を設ければよいので、その分、有機EL駆動回路側の回路規模も大きくなりな

らないで済む。  
これにより、アクティブ型の有機ELパネルの各ビクセル回路の構成を最小限にとどめて有機ELパネルの外部から電流駆動して、その駆動電流自体を外部の駆動回路で調整できるようにする。その調整は、表示画面上で少なくとも分散した位置にあるビクセル回路をそれぞれに駆動する複数の電流駆動回路に電流値調整回路を設け、駆動するビクセル回路の輝度に応じて輝度むらが目立たなくなるようにその駆動電流値をその電流値調整回路により調整する。このことでビクセル回路の駆動トランジスタの動作 値のはらつきに関係なく、画面上の輝度むらを抑制することができ、もちろん、全部のデータ線あるいはカラム端子ピンに対応して電流値調整回路を有する電流駆動回路を設ければ、その分、輝度むらが低減される。

20

その結果、駆動トランジスタの動作 値を補償する回路をなくして各ビクセル回路の回路規模を抑えることができ、かつ、表示画面の輝度むらを低減することがことができる。

【0008】

30

【実施例】

図1は、この発明のアクティブマトリックス型有機ELの表示装置を適用した一実施例のブロック図、図2は、そのデータ電極ドライバとしての、電流値調整回路を有するカレントミラーの端子ピン駆動回路を中心とする回路図、図3は、不揮発性メモリをレジスタ構成とした具体例の説明図、図4は、図3の不揮発性メモリを揮発性メモリのシフトレジスタ構成とした具体例の説明図、そして図5は、輝度むらを調整する電流値調整回路を有するカレントミラーの端子ピン駆動回路を分散して設けてビクセル回路を駆動する場合の説明図である。

図1において、1は、アクティブマトリックス型有機ELの表示装置であって、データ電極ドライバ2と、書込制御回路3、ビクセル回路4、コントロール回路5、レジスタ6、ロー側走査回路7、そしてMPU8等により構成されている。なお、ビクセル回路4は、X、Yのマトリックス配線の各交点に対応して多数設けられているが、図では、その1つのみを、それらの代表として示してある。データ電極ドライバ2は、いわゆる有機EL駆動回路のカラムドライバ（水平走査方向のドライバ）であって、各データ線（あるいは各カラム端子ピン、以下同じ）対応に設けられたカレントミラーの端子ピン駆動回路10（以下電流駆動回路10、図2参照）をデータ線数分内蔵している。それぞれのカレントミラー出力段回路13の出力ピン9（図2参照）は、アクティブマトリックス型のX、Yのマトリックス配線（データ線、走査線）のうちの、それぞれのデータ線（X電極=X1、Xn）にそれぞれに接続されている。

40

【0009】

50

(6)

JP 2004 78163 A 2004.3.11

図に示すように、ビクセル回路（表示セル）4は、X、Yのマトリックス配線（データ線X1、Xn、走査線Y1、Y2、）の交点に対応して設けられていて、このビクセル回路4内には各データ線と各走査線Y1との各交点にソース側とゲートが接続されたNチャンネルMOSトランジスタT1が配置されている。OEL素子4aは、ビクセル回路4に設けられたPチャンネルMOSの駆動トランジスタT2により駆動される。トランジスタT2のソース-ゲート間にはコンデンサCが接続されている。トランジスタT2のソースは、例えば、+7V程度の+Vcc電源ラインに接続され、そのドレイン側はOEL素子4aの陽極に接続されている。OEL素子4aの陰極は、ロー側走査回路7のスイッチ回路7aに接続され、このスイッチ回路7aを介してグランドGNDに接続されている。

10

## 【0010】

ビクセル回路4において、トランジスタT1とトランジスタT2との間にはPチャンネルMOSトランジスタT3とNチャンネルMOSトランジスタT4が設けられている。トランジスタT3は、トランジスタT2を出力側トランジスタとしてカレントミラー回路4bを構成する入力側トランジスタとなっていて、これの下流にトランジスタT1のドレインが接続され、トランジスタT3とトランジスタT1の接続点とカレントミラー回路4bの共通ゲート（トランジスタT2のゲート）との間にトランジスタT4のソースとドレインが接続されている。

なお、ここで、カレントミラー回路を構成するトランジスタT2とトランジスタT3とは、実質的に特性が等しいものとする。

20

トランジスタT1のゲートは、走査線Y1（書込線）を介して書込制御回路3に接続され、トランジスタT4のゲートは、走査線Y2（イレース線）を介して書込制御回路3に接続されている。走査線Y1（書込線）と走査線Y2（イレース線）とが書込制御回路3により走査されてこれら走査線がHiサムレベル（以下“H”）になることでトランジスタT1とトランジスタT4とがともにONとなる。これにより所定の駆動電流でトランジスタT2が駆動されるとともにコンデンサCに充電されて所定の駆動電圧がコンデンサCに保持される。その結果、コンデンサCに駆動電流値が書込まれる。このとき、コンデンサCはこれを電圧値として記憶する。

MOSトランジスタT2は、この記憶されたコンデンサCの電圧に応じて電流駆動されることになる。このときコンデンサCに記憶された電圧は、書込時の駆動電流に対応する電圧値となり、OEL素子4aは、書込時の駆動電流に対応した電流値で電流駆動される。トランジスタT2とトランジスタT3のチャネル幅が等しいときには、書込み電流と同じ駆動電流を発生させることができる。

30

## 【0011】

なお、書込制御回路3に接続され、制御される走査線Y1（書込線）と走査線Y2（イレース線）は、垂直方向のビクセル回路分（垂直走査ライン数分）設けられているが、ここではロー側走査回路7のスイッチ回路7aと同様に垂直方向に走査される1ビクセル回路1個分だけしか示していない。その他の回路は省略してある。また、コンデンサCへの電流値の書込時にあっては、スイッチ回路7aがOFFしているので、トランジスタT2からOEL素子4aへの駆動電流はこのときには発生しない。

40

ロー側走査回路7のスイッチ回路7aは、R、G、Bの水平走査方向の1ラインに対応する1ライン分の駆動電流値が各ビクセル回路（表示セル）4のコンデンサCに書込まれた後にロー側走査回路7のスイッチ回路7aがONになり、水平走査方向の1ライン分のOEL素子4aが同時駆動される。このときには、走査線Y1（書込線）と走査線Y2（イレース線）とが書込制御回路3により共に“L”にされていて、トランジスタT1とトランジスタT4とがともにOFFになっている。

スイッチ回路7aは、ロー側走査回路7において垂直方向の走査ラインに対応して多数設けられていて、垂直走査に応じて手前のスイッチ回路7aがOFFされ、現在走査の対象となるスイッチ回路7aがONされる。このことで、垂直走査に対応してスイッチ回路7aが順次ONされていく。

50



(7)

JP 2004 78163 A 2004.3.11

## 【0012】

ところで、アクティブマトリックス型では、コンデンサCが駆動電流値を記憶するので、水平方向1ライン分ではなく、1画面分の駆動電流値をコンデンサCに記憶させた後にスイッチ回路7aをONさせてもよい。この場合には、このスイッチ回路7aを1個設ければよく、ロー側走査回路7を用いる必要はない。また、R、G、Bの1画面をそれぞれに時分割で駆動する場合には、前記の1画面は、R、G、Bに対応して設けられるので、このスイッチ回路7aは、R、G、Bのそれぞれの1画面に対応して1個ずつ、合計で3個設けられることになる。

コンデンサCに蓄えられた電荷は、書き制御回路8に接続された走査線Y2が書き制御回路8により“H”となり、走査線Y1がLOWレベル（以下“L”）となって放電される。このときには、トランジスタTr1がOFFしてトランジスタTr4がONすること、コンデンサCの電荷がトランジスタTr8（トランジスタTr8は、コンデンサCの端子電圧がそのゲートに加わってONになっている。）、トランジスタTr4を介して放電されて、コンデンサCの電圧がリセットされる。このリセットは、1ライン分のOE素子を駆動する直前あるいは帰線期間に行われる。なお、各ビクセル回路4に対応する走査線Y1と走査線Y2とは、それぞれコントロール回路5からタイミング信号T1、T2を受けて制御され、これにより垂直方向の各ビクセル回路が走査される。

## 【0013】

図2は、データ電極ドライバ2の具体的な回路であって、各データ線X1～Xnに対応に設けられたn個（nはデータ線数に対応）の電流駆動回路10と、1個の基準駆動電流発生回路16とを有している。これらの回路は、R、G、Bそれぞれに対応して設けられている。

各電流駆動回路10は、D/A変換回路11と、駆動電流値調整回路12、カレントミラー出力段回路13、ピーク電流生成回路14、そして不揮発性メモリ15とからなる。また、基準駆動電流発生回路16は、基準電流発生回路16aと基準電流複製分配回路16bとからなる。

基準電流発生回路16aは、その電流値が外部から設定できるプログラマブル定電流源であり、R、G、Bそれぞれの表示基準となる基準電流値を発生する。基準電流複製分配回路16bは、例えば、入力側1個のトランジスタと出力側n個（nはデータ線数）のトランジスタからなるカレントミラー回路で構成され、基準電流発生回路16aから送出される基準電流値を入力側トランジスタで受けて各データ線数分複製して出力側トランジスタより電流値I0の定電流をn個パラレルにカレントミラー出力段回路13の出力ピン、すなわち、有機ELパネルの端子ピン対応に分配する回路である。分配された各電流値I0は、それぞれ出力ピン対応に設けられた電流駆動回路10に出力される。

## 【0014】

電流駆動回路10の駆動電流値調整回路12は、基準電流複製分配回路16bから複製された電流値I0の定電流を受けて、電流駆動する有機ELパネルの自己が駆動する端子ピンに対応する調整した電流値IPの駆動電流をD/A変換回路11の入力端子11aに加え、その入力側カレントミラートランジスタTNa、TNPを駆動する。

D/A変換回路11は、Nチャネルの入力側トランジスタTNaとこの入力側トランジスタTNaに並列に接続されたカレントミラーのNチャネルの入力側トランジスタTNPを有している。そして、Nチャネルの出力側トランジスタTNb～TNn-1がこれら入力側トランジスタTNaとトランジスタTNPに対してカレントミラー接続されている。

トランジスタTNaとトランジスタTNPは、チャネル幅（ゲート幅）の比が1：9に設定されていて、トランジスタTNaのソースは、抵抗Raを介してグランドGNDに接続され、トランジスタTNPのソースは、抵抗Rpα、スイッチ回路SWPaを介してグランドGNDに接続されている。

なお、前記のチャネル幅（ゲート幅）の比1：9は、同一形状のMOS1個に対してペラ性のよいMOS9個をパラレルに接続して構成してもよい。

ここでは、2個の入力側トランジスタTNaと入力側トランジスタTNPが入力端子11

10

20

30

40

50

(8)

JP 2004 78163 A 2004.3.11

$\alpha$ に接続されていて、この入力端子11 $\alpha$ に駆動電流値調整回路12から調整された電流値IPの電流を受ける。

【0015】

そこで、スイッチ回路SWP $\alpha$ がOFFとなっている駆動初期には、入力側トランジスタTN $\alpha$ 1個にこの電流IPが動作電流として流れ、D/A変換回路11の出力端子11 $\beta$ に表示データに応じた駆動電流I $\alpha$ としてピーク電流値IP $\alpha$ が発生する。また、その後、スイッチ回路SWP $\alpha$ がONになると、入力側のトランジスタTN $\alpha$ とTNPとにこの電流IPが分流して流れる。このときには、D/A変換回路11の出力端子11 $\beta$ には表示データに応じた駆動電流値I $\alpha$ として定常状態の駆動電流値IP $\alpha$ /10が発生し、ピーク電流値IP $\alpha$ の1/10の電流が流れる。

10

抵抗R $\beta$ ~R $n-1$ は、出力側トランジスタTN $\beta$ ~TN $n-1$ のソースとトランジスタT $\beta$ ~T $n-1$ のドレインとの間に挿入された抵抗である。これによりD/A変換回路11の電流ヘアリング精度を向上させることができる。

なお、トランジスタT $\beta$ ~T $n-1$ のゲートは、kビットの表示データが入力される入力端子d $0$ ~d $n-1$ に接続され、レジスタ6から表示データを受ける。トランジスタT $\beta$ ~T $n-1$ のソースはグランドGNDに接続されている。

【0016】

さて、駆動電流値調整回路12は、その出力電流値IPがデータ設定によりプログラム可能な電流値調整回路である。これは、NチャネルのMOSトランジスタT $\beta$ 1、T $\beta$ 2からなるカレントミラー駆動回路12 $\alpha$ と、これにより駆動されるPチャネルのトランジスタT $\beta$ 3~T $\beta$ 7からなるカレントミラー電流調整回路12 $\beta$ と、不揮発性メモリ15とから構成されている。

20

カレントミラー駆動回路12 $\alpha$ は、その入力側トランジスタT $\beta$ 1が基準電流複製分配回路16 $\beta$ の出力の1つにそのドレインが接続されていて、基準電流複製分配回路16 $\beta$ から電流値I $0$ の電流を受ける。このトランジスタのソースは、抵抗R1を介してグランドGNDに接続されている。カレントミラー駆動回路12 $\alpha$ の出力側トランジスタT $\beta$ 2は、チャネル幅（ゲート幅）の比がトランジスタT $\beta$ 1に対してP倍（Pは2以上の整数）に設定されていて、そのドレインがカレントミラー電流調整回路12 $\beta$ の入力側トランジスタT $\beta$ 3のドレインに接続され、そのソースは、抵抗R2を介してグランドGNDに接続されている。

30

これにより、出力側トランジスタT $\beta$ 2には、P×I $0$ の電流が流れ、この電流でトランジスタT $\beta$ 3が駆動される。その結果、出力側トランジスタT $\beta$ 4からは、P×I $0$ のミラー電流が出力される。

【0017】

ここで、カレントミラー接続のトランジスタT $\beta$ 3~T $\beta$ 7は、ソース側が電源ライン+VDD（=+3V）に接続され、出力側トランジスタT $\beta$ 4は、ドレイン側（出力側）がD/A変換回路11の入力端子11 $\alpha$ に接続されている。また、出力側トランジスタT $\beta$ 5~T $\beta$ 7は、それぞれのドレインがトランジスタT $\beta$ 4のドレインにそれぞれスイッチ回路SW1~SW3を介して接続されて、トランジスタT $\beta$ 4に対してそれぞれがパラレル接続される。これらトランジスタT $\beta$ 5~T $\beta$ 7は、出力側トランジスタT $\beta$ 4のドレインから出力されるP×I $0$ のミラー電流値を補正する電流値補正回路となっている。

40

ここでは、トランジスタT $\beta$ 3に対してトランジスタT $\beta$ 5~T $\beta$ 7のチャネル幅（ゲート幅）の比が1/10、1/20、1/40になるように設定され、例えば、6ビットの階調においてその1LSB（分解能）により表現するD/A変換回路11の出力側の電流値が前記の比率で調整できるようになっている。

そこで、3つのスイッチ回路SW1~SW3を選択的にONすることで、あるいはこれら全てをONすることで、P×I $0$ の電流値にP×I $0$ /10、P×I $0$ /20、P×I $0$ /40の組み合わせた分の電流を付加してD/A変換回路11の駆動電流を加算調整することができる。ここで調整された駆動電流がD/A変換回路11において表示データに応じて増幅されて、端子ピンを駆動する電流としてD/A変換回路11を経てカレントミラ

50

(9)

JP 2004 78163 A 2004.3.11

一電流出力回路13から出力されるので、端子ピン駆動電流値がこの駆動電流値調整回路12により調整可能になる。この電流値を調整すること、これの端子ピンに接続されたOEL素子4aの輝度調整が可能となり、各端子ピンに対応してこの電流値を調整すること画面の輝度むらを抑制することが出来る。なお、実際の駆動電流は、後述するように、出力段カレントミラー回路13bにより1/Nにされるので、ここでの調整電流値は、駆動電流値としては1/Nの調整になる。

## 【0018】

3つのスイッチ回路SW1～SW3のON/OFFの選択は、不揮発性メモリ15の所定の領域に記憶された3ビットのデータに従って行われる。例えば、3ビットのデータが“010”のときには、ビット“1”に対応するスイッチ回路SW2がONになり、ビット

10

“0”に対応する位置のスイッチ回路SW1、SW3がOFFとなる。  
この不揮発性メモリ15に記憶されるデータは、MPU8から設定される。なお、不揮発性メモリ15は、3×nビット（ただし、nは、1個のデータ電極ドライバICのデータ線の総端子ピン数）が、これ以上の記憶容量のものであって、3ビットごとの各領域がそれぞれの端子ピンに対応して割り当てられている。

そこで、MPU8は、各端子ピン対応に輝度調整する3ビットのデータを生成して、合計で3×nビットを不揮発性メモリ15に記憶する。この3nビットのデータは、MPU8からデータDATとしてクロックCLKとともに不揮発性メモリ15に供給される。このこと、水平走査方向の画素対応に輝度調整ができる。

## 【0019】

20

一方、ビクセル回路4は、マトリックス状に配置されている。そこで、水平走査方向の1ライン分だけでは、マトリックス状に配置されたすべてのビクセル回路4の輝度むらを解消することはできない。そのため、有機EL表示パネルの画面上において同じ水平方向の走査位置で垂直方向に配列されたビクセル回路4のOEL素子の輝度の平均値を採り、前記の3ビットのデータを生成する。

なお、各端子ピン対応の3ビットのデータは、表示された画面の輝度を測定して各端子ピン対応に垂直走査方向の各画素の輝度の平均値として生成され、総計で3nビットのデータDATが生成される。このとき、輝度調整が不要な端子ピンの3ビットのデータは“000”である。そこで、各端子ピン対応の3ビットのデータは、実際には輝度調整すべき端子ピンについて3ビットのデータを生成すればよい。

30

このような輝度調整は、製品が組み立てられた状態で製品の表示画面を観察して目視により輝度の異なるところの画素について前記のデータDATを生成していくことでも表示画面の輝度調整は可能である。生成されたこの3nビットのデータ入力と書込みは、製品出荷のテスト段階でMPU8を介して行えばよい。

これにより表示画面の輝度むらおよび製品ごとの輝度のばらつきの調整ができる。

## 【0020】

ここで、垂直走査ライン数をmとすれば、不揮発性メモリ15の容量を3×n×mビットとして、1画面分の輝度むら補正データを不揮発性メモリ15に記憶しておき、垂直走査に対応してそれらを読み出せばマトリックス状に配置されたすべてのビクセル回路4の輝度に対応して輝度むらを解消することもできる。これは、図2に点線で示すようにロー側

40

走査回路7により垂直走査に依りて不揮発性メモリ15のアドレスを更新しながらアクセスして垂直走査位置に対応した輝度補正データをその都度不揮発性メモリ15から読出して輝度むら補正する駆動電流を生成するものである。  
なお、この不揮発性メモリ15としては、FRAM、MRAM、EEPROM等を用いることができる。また、前記は、スイッチ回路SW1～SW3が3個の場合を例にしているが、スイッチ回路は1個でもよく、あるいは3個以上であってもよい。したがって、輝度調整するためのデータのビット数は、1ビット以上であればよい。

## 【0021】

次に、カレントミラー電流出力回路13について説明する。

カレントミラー電流出力回路13は、駆動電流反転回路13aと出力段カレントミラー回

50

(10)

JP 2004 78163 A 2004.3.11

路 13b とからなる。

駆動電流反転回路 13a は、D/A 変換回路 11 の出力を反転して出力段カレントミラー回路 13b に伝達するための回路であって、P チャネル MOSFET トランジスタ TPu、TPw とからなるカレントミラー回路である。それぞれのトランジスタのソース側が電源ライン +Vcc に接続されている。トランジスタ TPu が入力側トランジスタであり、そのドレイン側が D/A 変換回路 11 の出力端子 11b に接続されている。トランジスタ TPw が出力側トランジスタであって、そのドレイン側が出力段カレントミラー回路 13b の入力端子 13c に接続されている。

これにより D/A 変換回路 11 の表示データに応じた出力電流  $I_a$  に対応して入力端子 13c に駆動電流  $I_a$  を発生することができる。

10

#### 【0022】

出力段カレントミラー回路 13b は、入力端子 13c と入力側カレントミラー トランジスタ TNx との間に挿入された N チャネル MOSFET トランジスタ TNv と、出力段カレントミラー回路を構成する N チャネル MOSFET トランジスタ TNy とを有している。トランジスタ TNv は、駆動電圧レベル調整用の回路である。出力段カレントミラー回路 13b のトランジスタ TNx とトランジスタ TNy のゲート幅比は N : 1 である。これらトランジスタのソースは、グランド GND に接続され、出力側トランジスタ TNy は、出力ピン 9 に接続されている。これにより駆動電流を  $1/N$  として、駆動時には  $I_a/N$  の駆動電流を有機 EL パネルの端子ピンから出力ピン 9 を経てシンクして OEL 素子 4a を有するビクセル回路 4 のコンデンサ C を充電する。

20

#### 【0023】

ここで、前記のコンデンサ C の充電動作を高速化するために充電電流としてピーク電流を発生する動作について次に説明する。

入力側トランジスタ TNp と抵抗 RPα、スイッチ回路 SWPα とは、ピーク電流生成回路 14 を構成して、スイッチ回路 SWPα は、駆動初期の一定期間 TP だけコントロール回路 5 からコントロール信号 CONT を受けけることなく、OFF にされ、一定期間 TP 後に CONT を受けて ON になる。

駆動開始時点では、スイッチ回路 SWPα がコントロール回路 5 からコントロール信号 CONT を受けていないので、入力側トランジスタ TNα に電流 IP が流れて、 $d_0 \sim d_{n-1}$  の各入力端子に設定されたデータに対応する倍数、例えば M の電流値  $M \times IP$  ( $= IP\alpha$ ) が生成されて D/A 変換回路 11 の出力端子 11b にピーク電流  $I_a = M \times IP$  を発生する。そして、ピーク電流発生期間 TP の終了後にコントロール信号 CONT が発生してスイッチ回路 SWPα が ON になると、入力側トランジスタ TNα に流れる電流が入力側トランジスタ TNp に分流されて、これらトランジスタのゲート幅比 1 : 9 に従って入力側トランジスタ TNα に  $IP/10$  が流れ、入力側トランジスタ TNp に  $9 \times IP/10$  の電流が流れる。その結果、出力端子 11b にピーク電流値  $IP\alpha$  の  $1/10$  の電流が発生する。

30

なお、ピークの期間 TP は、容量性負荷となる特性を持つコンデンサ C がピーク電流で初期充電されればよいので、必ずしもピークの開始時点が駆動開始と一致していなくてもよい。

40

#### 【0024】

図 3 は、不揮発性メモリ 15 をシフトレジスタ構成とした具体例の説明図である。

151 は、3 個並列に設けられた n 段のシフトレジスタである。このシフトレジスタ 151 は、3 ビットの並列に配置した不揮発性メモリによるデータラッチのフリップフロップ 15a、フリップフロップ 15b、フリップフロップ 15n を n 個の出力ピン 9 の数に対応して n 段数従属接続して構成され、各フリップフロップ 15a ~ 15n は、それぞれ 3 個 (3 ビット) 並列に配置した不揮発性メモリである。

3 × n ビットの輝度調整のためのデータ DAT (輝度調整のトリミングデータ) は、フリップフロップ 15a から 3 ビット並列でビットシリアルに入力されて MPU 8 からのクロック CLK に応じて各段にシフトされ、フリップフロップ 15a ~ 15n にそれぞれ

50

(11)

JP 2004 78163 A 2004.3.11

輝度調整データとして記憶される。

各段の 3 個のフリップフロップの反転側出力 \* Q (図面では Q オーバー) は、3 個パレレルのインバータ 17 を介して各出力ピン 9 に対応する駆動駆動電流値調整回路 12 のスイッチ回路 SW1 ~ SW3 に出力されて、各出力ピン 9 に対応にこれらスイッチ回路を選択的に ON/OFF する。これにより各出力ピン 9 を介して駆動される OEL 素子の輝度を調整して製品ごとの輝度ばらつきを低減しあるいは表示画面の輝度むらを低減する輝度調整をする。

【0025】

図 4 は、不揮発性メモリ 15 を揮発性メモリとした具体例の説明図である。

図 4 のシフトレジスタ 152 は、3 個パレレルに配置した n 段のシフトレジスタであるが、フリップフロップ 152a、フリップフロップ 152b、フリップフロップ 152n は、データをラッチする揮発性ラッチのメモリである。

フリップフロップ 152a に入力される、トリミングデータ DAT (輝度調整データ) は、MPU8 ではなく、コントロール回路 5 からビットシリアルで 3 ビットパレレルに出力される。同時に、フリップフロップ 152a ~ 152n は、コントロール回路 5 からのクロック CLK を受けてこれに応じて輝度調整データを記憶する。

この場合のトリミングデータ DAT は、コントロール回路 5 に設けられた不揮発性メモリ 15a に記憶されることになる。そして、MPU8 が電源スイッチ SW が ON されたときに、制御信号 S を発生してコントロール回路 5 にクロック CLK とトリミングデータ DAT を発生させてトリミングデータ DAT をシフトレジスタ 152 に書込む。

なお、不揮発性メモリ 15a に記憶されるトリミングデータ DAT (輝度調整データ) は、外部からキーボード等を介して MPU8 に入力されたデータに応じて MPU8 から書込まれる。

この場合、図 3 と同様にコントロール回路 5 は、MPU8 であってもよい。また、輝度調整データを記憶する揮発性メモリは、このようなシフトレジスタに限定されるものではなく、RAM 等の揮発性メモリであってもよい。

図中、電流源 16b-1、電流源 16b-2、電流源 16b-3 は、それぞれ電流値 I<sub>0</sub> を発生する基準電流複製分配回路 16b の出力側の定電流源である。

【0026】

図 5 は、輝度むらを調整するために、マトリックス状に配置されるビクセル回路のうち有機 EL パネルの画面 20 上において特定の位置「X」に配置されたビクセル回路を駆動する回路として駆動電流値調整回路 12 を有する電流駆動回路 10 を特別に設けた例である。

前記したように、1 画面分の輝度むら補正データを不揮発性メモリ 15 に記憶する場合には、不揮発性メモリ 15 の容量を  $3 \times n \times m$  ビットとすれば、1 画面分のビクセル回路 4 に対応して輝度補正が可能である。しかし、それでは、不揮発性メモリ 15 の容量が大きくなり、その制御も大変である。それを解消するのが図 5 の例である。

【0027】

図 1 の実施例では、電流駆動回路 10 は、水平走直 1 ラインの各走直位置に対応して設けられ、それぞれに駆動電流値調整回路 12 を有している。したがって、駆動電流値調整回路 12 は、垂直方向のビクセル回路 4 に対して共通なものになっている。同じ水平走直位置にある垂直方向のビクセル回路 4 に対しては平均的な輝度補正しかできない。

そこで、輝度むらが目立つ箇所 (ビクセル回路 4) に対応して駆動電流値調整回路 12 を有する電流駆動回路 10 を設けて、その個所だけ輝度補正をする。これにより補正データ量を低減できる。

輝度むらが目立つ箇所 (ビクセル回路 4) としては、図 5 の画面 20 上においては中央とその両側の位置を挙げることができる。それが図 5 の「X」で図示す画面上の位置である。この「X」の位置に対応して駆動電流値調整回路 12 を有する電流駆動回路 10 を配置する。これ以外の電流駆動回路 10 は、駆動電流値調整回路 12 を削除した図 2 に示す電流駆動回路とする。そして、輝度むらを調整する垂直方向のビクセル回路の位置が走直す

10

20

30

40

50

(12)

JP 2004 78163 A 2004.3.11

れるときには、そのピクセルに対応する水平走直１ライン側の電流駆動回路側を無効にして、そのピクセルに対応して設けられた駆動電流値調整回路１２を持つ電流駆動回路１０から輝度むらを補正した駆動電流をそれぞれに出力ビン９に出力するようにする。これにより不揮発性メモリ１５の記憶容量は、輝度むらを補正する位置の数だけでよいので、その分、駆動電流出力回路の回路規模を低減することができる。

なお、輝度むらを調整する位置「×」について、水平方向の走直位置が同じであり、垂直走直位置が相違するものは、駆動電流値調整回路１２を持つ同じ電流駆動回路１０を共通に使用することができる。

#### 【００２８】

具体的には、この共通の電流駆動回路１０の駆動電流値調整回路１２を動作させなければ、あるいは調整電流値のデータを“０”に設定すれば、駆動電流値調整回路１２を持たない電流駆動回路１０と同じになる。また、垂直方向走直に対応してそのとき駆動されるピクセル回路の駆動電流値を補正するデータを不揮発性メモリ１５から読み出して設定すれば、補正するピクセル回路に対応して個々に設けた電流駆動回路１０と同じになるからである。したがって、この場合、位置「×」に対応する水平走直位置では、各垂直走直位置に対応して不揮発性メモリ１５に記憶する補正データだけを異なるようにして、それぞれのデータを垂直走直に応じてアクセスするようにすればよい。

#### 【００２９】

以上説明してきたが、実施例では、駆動電流値調整回路１２を基準駆動電流を受ける電流駆動回路１０の入力段に設けているが、この回路は、この入力段（あるいは初段）と有機

ＥＬパネルの端子ピンを電流駆動する出力段の間にあればよい。実施例のピクセル回路のコンデンサに対する電圧値の書き込みとこの電圧値のリセットの制御は、一例であって、ピクセル回路のトランジスタの数あるいはこれに接続される選択線あるいは走直線の数に応じて、書き込みとリセットの制御は決定される。

また、実施例の電流駆動回路は、白黒表示のものでよいので、Ｒ、Ｇ、Ｂそれぞれに対応して設けられていなくてもよい。

なお、実施例では、ＭＯＳＦＥＴトランジスタを主体として構成しているが、バイポーラトランジスタを主体としても構成してもよいことはもちろんである。また、実施例のＮチャンネル型トランジスタ（あるいはｎＰｎ型）は、Ｐチャンネル型（あるいはＰｎＰ型）トランジスタに、Ｐチャンネル型トランジスタは、Ｎチャンネル（あるいはｎＰｎ型）トランジスタに置き換えることができる。この場合には、電源電圧は負となり、上流に設けたトランジスタは下流に設けることになる。

#### 【００３０】

##### 【発明の効果】

以上説明してきたように、この発明にあつては、アクティブ型の有機ＥＬパネルの各ピクセル回路の構成を最小限にとどめて有機ＥＬパネルの外部から電流駆動して、その駆動電流自体を外部の駆動回路で設定し、かつ、これらのうち表示画面上で少なくとも分散した位置にあるピクセル回路をそれぞれに駆動する複数の電流駆動回路には電流値調整回路を設けておき、その電流値調整回路により、駆動するピクセル回路の輝度に応じて駆動電流値を調整する。このことによりピクセル回路の駆動トランジスタの動作値のばらつきに関係なく、画面上の輝度むらを抑制することができる。より多くの電流駆動回路に電流値調整回路を設けてもよいことはもちろんである。その分、画面上の輝度むらを抑制することができる。

その結果、各ピクセル回路の回路規模を抑えて、携帯電話機、ＰＨＳ等の装置の表示画面の輝度むらを低減することができ、かつ、

##### 【図面の簡単な説明】

【図１】図１は、この発明のアクティブマトリックス型有機ＥＬの表示装置を適用した一実施例のブロック図である。

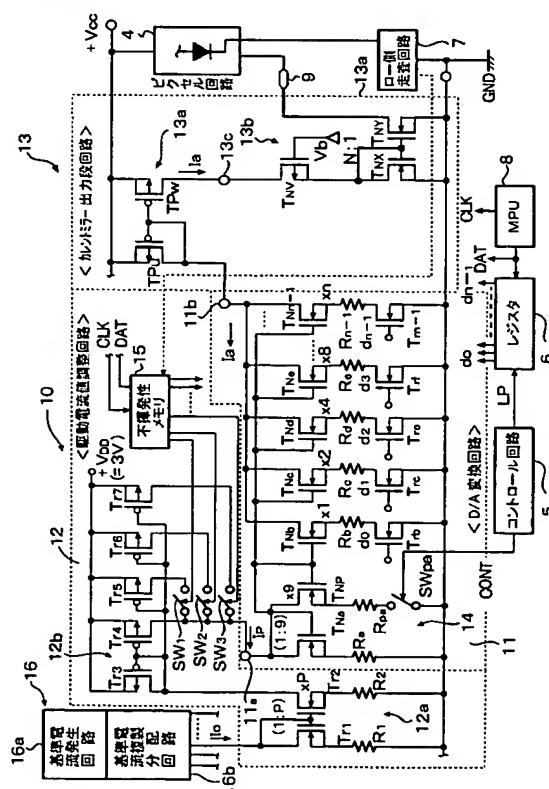
【図２】図２は、そのデータ電極ドライバとしての、電流値調整回路を有するカレントミラーの端子ピン駆動回路を中心とする回路図である。

JP 2004 78163 A 2004.3.11

【符号の説明】

- 20

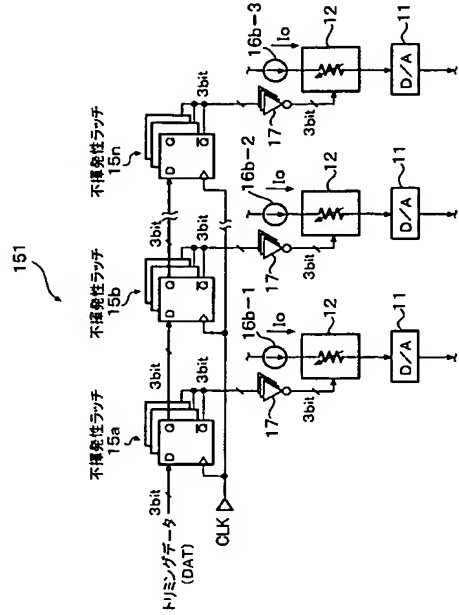
【图 2】



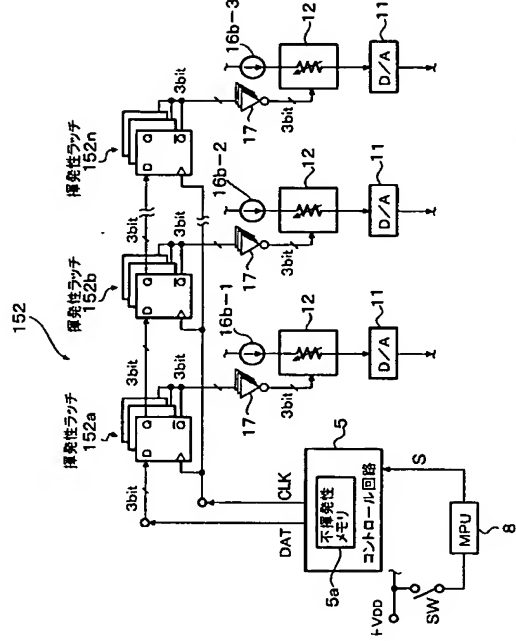
(14)

JP 2004 78163 A 2004.3.11

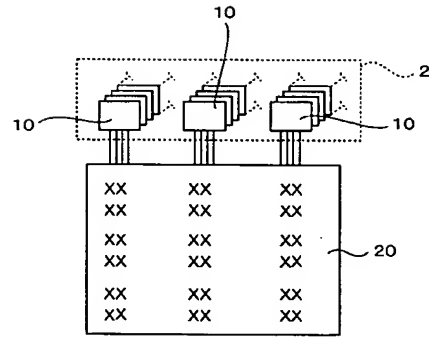
【図 3】



【図 4】



【図 5】





(15)

JP 2004 78163 A 2004. 3. 11

フロントページの続き

(51)Int. Cl.<sup>7</sup>

F I

テーマコード (参考)

G 0 9 G	3/20	6 2 3 F
G 0 9 G	3/20	6 2 3 R
G 0 9 G	3/20	6 2 4 B
G 0 9 G	3/20	6 3 1 B
G 0 9 G	3/20	6 3 1 K
G 0 9 G	3/20	6 4 1 D
G 0 9 G	3/20	6 4 2 A
G 0 9 G	3/20	6 4 2 J
G 0 9 G	3/20	6 5 0 M
H 0 5 B	33/14	A